

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-047840

(43)Date of publication of application : 16.02.1990

(51)Int.Cl.

H01L 21/338

H01L 21/90

H01L 29/812

(21)Application number : 63-199220

(71)Applicant : NEC CORP

(22)Date of filing : 10.08.1988

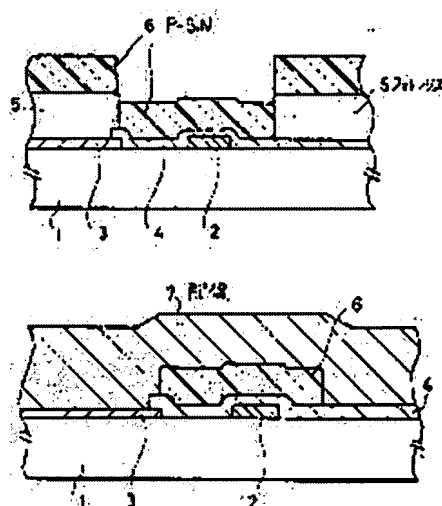
(72)Inventor : OSE YASUSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make it possible to effectively prevent generation of foreign matter by film remaining and dust by this foreign matter and characteristic deterioration by selectively forming a low temperature growth plasma silicon nitride film by a lift-off method using a photoresist, and then removing this nitride film by a wet etching method.

CONSTITUTION: A passivation film 4 is overlaid on a substrate 1 where a gate electrode 2 and a source-drain electrode 3 are formed, and photoresist 5 is applied, and this is removed from the part above the electrode 2, and then a plasma silicon nitride film 6 is grown at low temperature on the whole face and the photoresist 4 is removed 5, whereby the nitride film 6 is left only at the part above the electrode 2. Wiring 7 to be connected with the electrode 3 is formed on the nitride film 6, and the nitride film 6 is removed by wet etching. According to this, the film 6 grown at low temperature can be selectively formed making use of the photoresist 5, so the removal can be done completely and cross over structure h high accuracy can be formed. Also, without etching the passivation film 4 the film 6 can be removed easily and completely by wet etching, and characteristic deterioration by dust or foreign matter is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平2-47840

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月16日

H 01 L 21/338
21/90
29/812

N 6824-5F

7733-5F H 01 L 29/80

F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-199220

⑰ 出 願 昭63(1988)8月10日

⑱ 発 明 者 小 瀬 泰 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. ゲート電極及びソース、ドレイン電極を形成した基板上にフォトリソを塗布し、かつこのフォトリソをゲート電極上の部分で除去する工程と、全面に低温でプラズマシリコン窒化膜を成長させ、かつ前記フォトリソを除去することにより前記ゲート電極上の部分にのみこの低温成長プラズマシリコン窒化膜を残す工程と、前記ソース、ドレイン電極に接続される配線をこの低温成長プラズマシリコン窒化膜上に形成する工程と、前記低温成長プラズマシリコン窒化膜をウェットエッチングにより除去する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特にショットキー障壁電界効果トランジスタ(MESF

ET)におけるエアブリッジ構造の製造方法に関する。

(従来の技術)

従来、GaAs基板に形成する超高周波帯用のMESFETでは、ソース電極に繋がる配線をエアブリッジ構造でショットキーゲートとクロスオーバーさせる構成が用いられている。このエアブリッジ構造の製造方法としては、ゲートバスバー上にフォトリソ、ポリイミド等の有機物層を形成し、この有機物層を土台としてソース電極に繋がる配線を形成し、その後有機物層を除去してゲートバスバー上を空洞化する方法が採用されている。

(発明が解決しようとする課題)

上述した従来の製造方法では、有機物層を選択的に形成する際にイオンミリング等のドライプロセスを行っているため、フォトリソやポリイミド等の有機物層の表面がこのイオンミリング処理によって変質し易い。このため、有機物層の除去プロセスが不安定なものになって所望のパター

ンの有機物層を得ることが難しい。また、パッシベーションを損傷しないように除去を行うため、有機物層を完全に除去することができなくなり、クロスオーバー部に有機物が異物として残存し、M E S F E Tを汚し、或いはM E S F E Tの特性に悪影響を与えるという問題がある。

本発明はクロスオーバー部における異物の発生を防止して、汚れ及び特性劣化を防止する半導体装置の製造方法を提供することを目的としている。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、ゲート電極及びソース、ドレイン電極を形成した基板上にフォトリジストを塗布し、かつこのフォトリジストをゲート電極上の部分で除去する工程と、全面に低温でプラズマシリコン窒化膜を成長させ、かつ前記フォトリジストを除去することにより前記ゲート電極上の部分にのみこのシリコン窒化膜を残す工程と、前記ソース、ドレイン電極に接続される配線をシリコン窒化膜上に形成する工程と、シリコン窒化膜をウェットエッチングにより除去す

る工程を含んでいる。

〔作用〕

上述した方法では、フォトリジストを用いたリフトオフ法により低温成長プラズマシリコン窒化膜を選択形成し、かつこの窒化膜をウェットエッチング法により除去することが可能となる。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図乃至第5図は本発明の一実施例を工程順に示す縦断面図である。

まず、第1図のように、半絶縁性GaAs基板1の表面にショットキー金属でゲート電極(ゲートバスバー)2を形成し、かつこれに隣接する位置にオーミック接触したソース、ドレイン電極3を形成する。なお、ドレイン電極の図示は省略している。そして、全面にシリコン窒化膜やシリコン酸化膜等からなるパッシベーション膜4を被着し、ソース電極3上にコンタクト用の窓4aを開設する。

次いで、第2図のように全面にフォトリジスト

5を塗布し、かつクロスオーバー部に相当する箇所のフォトリジストを除去する。そして、100～110℃の低温でP-SiN膜(プラズマシリコン窒化膜)6を成長させる。このP-SiN膜6の厚さは、クロスオーバー部の高さに相当する厚さに形成する。

そして、前記フォトリジスト5を除去することにより、第3図のように、P-SiN膜6の一部がリフトオフ法により除去され、ゲート電極2を覆う領域にのみ残される。

次に、第4図のように全面に配線用金属、ここではTi/Auで構成した配線膜を被着し、かつこれを所要パターンに形成することで配線7を形成する。この配線7にはAuめっきを施している。また、この配線7はパッシベーション膜4の開口4aにおいて、ソース電極3に電気接続される。

しかる後、前記P-SiN膜6に対してウェットエッチングを行うことにより、第5図のようにゲート電極2上のP-SiN膜6が除去され、この部分に空洞8が形成される。これにより、配線

7はゲート電極2上をエブリッジ構造でクロスオーバーされた構成とされる。なお、この際パッシベーション膜4のエッチング比は、低温成長P-SiN膜6の1/10～1/30程度であるために、パッシベーション膜4がエッチングされることは殆どない。

この方法によれば、低温成長したP-SiN膜6は、フォトリジスト5を利用したリフトオフ法で選択形成できるので、従来の有機物層の場合のような除去の不安定性が生じることはなく、所望のパターンを容易に得ることができ、高精度のクロスオーバー構造を形成できる。また、低温成長したP-SiN膜6をパッシベーション膜4をエッチングすることなくウェットエッチングにより容易に除去できるので、完全な除去が可能となり、かつ有機物が異物として残存されることもない。これにより、M E S F E Tの汚れや異物による特性劣化を防止することが可能となる。

〔発明の効果〕

以上説明したように本発明は、フォトリジスト

を用いたリフトオフ法により低温成長P-SiN膜を選択形成しているのので、有機物層をイオンミリングするときのような除去工程における不安定性を生じることなく所望のパターンに形成でき、高精度なクロスオーバー構造を得ることができる。また、低温成長P-SiN膜をパッシベーション膜とのエッチング比の大きなウェットエッチング法により除去しているのので、パッシベーションをエッチングすることなく完全な除去が可能であり、かつ有機物層を用いていないために膜残りによる異物の発生及び、この異物による汚れや特性劣化を有効に防止できる効果がある。

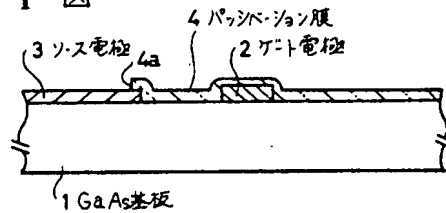
4. 図面の簡単な説明

第1図乃至第5図は本発明の一実施例を製造工程順に示す縦断面図である。

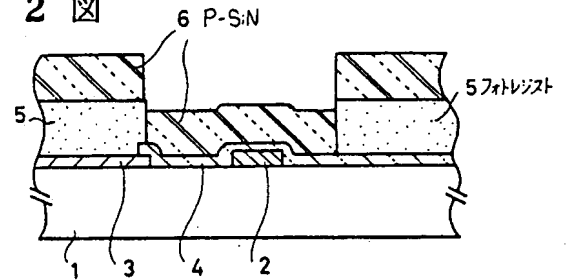
1…GaAs基板、2…ゲート電極、3…ソース電極、4…パッシベーション膜、5…フォトリソスト、6…低温成長P-SiN膜、7…配線、8…空洞。

代理人 弁理士 鈴木章夫

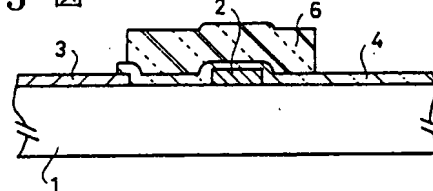
第1図



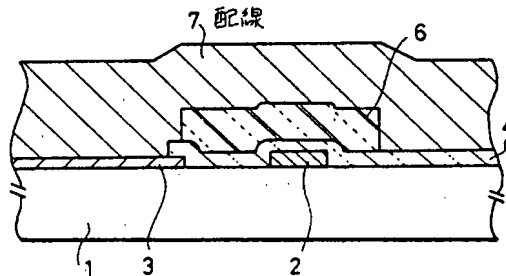
第2図



第3図



第4図



第5図

